

28 nm CMOS 工艺 8-Gbps SerDes 单粒子辐射特性研究

文 溢, 陈建军, 梁 斌, 池雅庆, 黄 俊

(国防科技大学计算机科学学院, 湖南长沙 410073)

摘 要: 本文研究了 28 nm 体硅 CMOS 工艺下 8-Gbps 通用结构高速并转串/串转并接口 (Serializer/Deserializer, SerDes) 的单粒子辐射特性, 该 SerDes 由电压模发送器 (Transmitter, TX) 和相位插值 (Phase Interpolation, PI) 型接收器 (Receiver, RX) 组成, 通过双指数电流源对整个 SerDes 的 TX 和 RX 进行了单粒子效应仿真, 仿真结果表明该 SerDes 的 TX 和 RX 均会发生单粒子瞬态 (Single-Event Transient, SET), 且主要敏感节点包括: D 触发器, 采样器和时钟相位插值器. 进一步采用脉冲激光对整个 SerDes 进行了扫描测试, 测试结果验证了仿真结论. 该研究为抗辐射 SerDes 的研制提供了重要的理论依据.

关键词: 串转并/并转串接口; 单粒子效应; 双指数电流源仿真; 敏感节点; 脉冲激光测试

中图分类号: TN402

文献标识码: A

文章编号: 0372-2112(2022)11-2653-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20211691

Research on Single-Event Radiation Characteristics of an 8-Gbps SerDes in a 28 nm CMOS Technology

WEN Yi, CHEN Jian-jun, LIANG Bin, CHI Ya-qing, HUANG Jun

(College of Computer Science, National University of Defense Technology, Changsha, Hunan 410073, China)

Abstract: In this paper, single-event radiation characteristics of an 8-Gbps high-speed Serializer/Deserializer interface (SerDes) is studied in a 28 nm bulk CMOS technology. The SerDes, which is composed of a voltage mode transmitter (TX) and a phase interpolating (PI) receiver (RX), is simulated by a double exponential current source to find the sensitive node, and the simulation results show both the TX and RX appear single-event transient (SET) and the main sensitive nodes of the whole SerDes include D flip-flop, samplers and clock phase interpolators. These sensitive nodes are further verified through pulsed-laser single-event experiment, and the study provides an important theoretical basis for the design of radiation-hardened SerDes.

Key words: serializer/deserializer interface; single-event effect; double exponential current source simulation; sensitive node; pulse-laser experiments

1 简介

高速并转串/串转并接口 (Serializer/Deserializer, SerDes) 是 CPU、DSP 和 FPGA 等系统中高速数据传输的重要物理接口, SerDes 中的发射器 (Transmitter, TX) 和接收器 (Receiver, RX) 负责高速数据的发送和接收, 一旦其中某个模块因受到空间粒子辐射而发生错误, 将会导致数据传输误码率激增. 因此, 研究 SerDes 的单粒子敏感性, 分析其敏感节点, 为后续对其进行抗辐射加固设计具有非常重要的参考价值.

Armstrong 对 90 nm 下某款 SerDes 进行了单粒子辐射特性研究^[1,2], 发现 SerDes 对单粒子辐射特别敏感, 定位出了敏感电路且进行了抗辐射加固. 文献[3~5]研究发现 SerDes 中的锁相环 (Phase Locked Loop, PLL) 及时钟系统是单粒子瞬态最薄弱的环节之一, 容易发生单粒子瞬态 (Single-Event Transient, SET), 从而导致 TX 和 RX 产生非常多的误码. 文献[6]研究发现 SerDes 中的带隙基准 (BandGap Reference, BGR) 会发生单粒子错误, 使得 BGR 的参考电压和电流发生突变, 导致整个

SerDes 系统瘫痪. 文献[7]进一步研究发现 BGR 会发生 SET, 由于 BGR 中的运算放大器发生 SET, 导致 BGR 输出电压坍塌, 这种坍塌会持续微秒甚至毫秒的时间, 导致系统崩溃. 文献[8~10]研究发现 SerDes 中的时钟数据恢复电路(Clock and Data Recovery, CDR)对 SET 尤为敏感, 会导致 RX 发生大量误码. 但是这些研究都没有涉及到 TX 和 RX 自身的单粒子辐射特性.

本文为了研究 TX 和 RX 自身的单粒子辐射特性, 设计了一款通用结构 8-Gbps SerDes 测试芯片, 通过双指数电流源进行单粒子辐射效应仿真, 定位了单粒子敏感节点, 并分析了仿真原理及现象, 在此基础上进一步通过脉冲激光单粒子测试来验证相关结论, 为 SerDes 的抗辐射加固设计提供思路.

2 SerDes 电路原理

SerDes 电路原理如图 1 所示, 它由 TX、RX 和 PLL 组成, PLL 为 TX 和 RX 提供频率为 4 GHz、相位差为 90° 的四相位时钟. SerDes TX 包括并转串模块(Parallel to Serial, P2S)和驱动器(driver), P2S 模块是利用 PLL 输出的时钟通过 D 触发器, 把 20 位低速并行数据通过移位寄存器原理转化成 1 位高速串行数据. Driver 采用源终端串联电阻(Source Series Terminated, SST)的电压模结构, 由 60 份相同的子模块并联组成, 每个子模块阻抗为 3 kΩ, 整个 driver 阻抗呈现为 50 Ω. SerDes RX 包括模拟接收前端(Analog Front End, AFE), 判决反馈均衡器(Decision Feedback Equalizer, DFE), 串转并模块(Serial to Parallel, S2P)和相位插值(Phase Interpolation, PI)型 CDR. AFE 采用连续时间线性均衡器(Continuous Time Linear Equalizer, CTLE)结构对信号做补偿, 抵消信道的插损^[11]. DFE 的原理是利用已知的当前拍数据, 对接下来几位数据做补偿, 以此来消除信号的码间干扰^[12]. 2 个采样器分别对数据信息和相位信息进行采样, 接着再由 S2P 对数据做串并转换. CDR 包括模拟部分的 PI 和数字状态机, 状态机会根据采样器采集到的数据信息和边沿信息得出采样时钟的相位是超前或者滞后, 并以此来调节 PI 输出时钟的相位, 使时钟上升沿处在数据的正中间的理想采样位置.

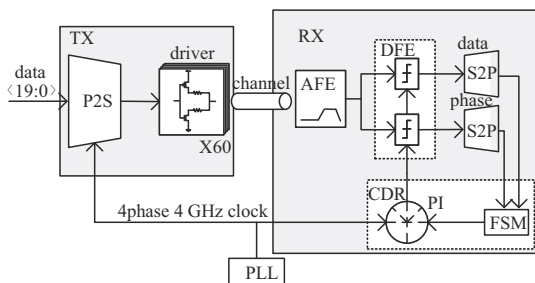
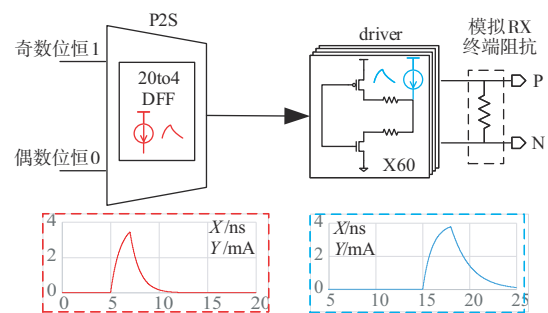


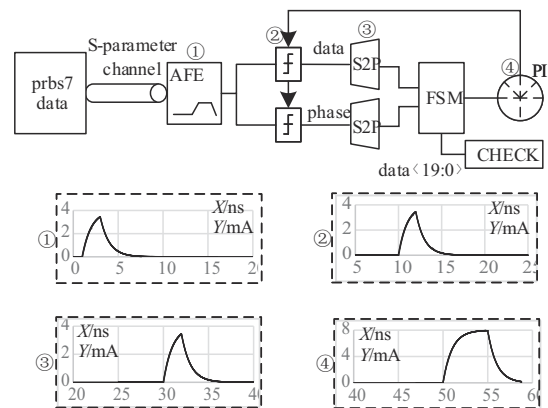
图 1 SerDes 原理图

3 双指数电流源仿真

以 PMOS 为例, 当晶体管受到辐射而发生单粒子效应时, 会使晶体管的阱接触和漏级之间的 PN 结正偏, 产生阱接触到漏级的导通电流, 相反, NMOS 中电流会从漏级流出到衬底接触^[13~15]. 使用 3 维建模软件 TCAD, 将 SerDes 中有可能发生单粒子效应的晶体管仿真, 得到各子模块中晶体管发生 SET 时的电流波形, 并将电流波形用双指数电流源代替, 然后选取最恶劣情况下 SET 峰值电流和脉冲宽度作为参考, 当作双指数电流源的参数, 峰值电流为 4 mA, 脉冲宽度为 5 ns, 最后依次先后引入到 SerDes 电路中各节点进行单粒子效应仿真. SPICE 仿真 testbench 示意图如图 2 所示, 在 TX 单粒子效应仿真中, 数据奇数位为恒 1, 偶数位为恒 0, TX 输出“1010…”这种像时钟一样的数据, 且 5 ns 和 15 ns 时刻分别在 P2S 4to1 DFF 和 driver(选取 60 份中的一份)中引入双指数电流源, 时域电流波形如图 2(a) 所示, 通过观察输出的串行数据判断 TX 所处的状态. 而在 RX 单粒子效应仿真中, 通过 TX 发送伪随机比特序列码(Pseudo-Random Binary Sequence, PRBS), 且 1 ns、10 ns、30 ns、50 ns 时刻分别在 AFE、DFE 采样器、S2P DFF 和 PI 中引入双指数电流源, 电流波形如图 2(b) 所示, 用 PRBS CHECK 模块对 RX 恢复出来的数据进行



(a) TX 单粒子仿真 testbench 示意图



(b) RX 单粒子仿真 testbench 示意图

图 2 单粒子仿真 testbench 示意图

误码率检查, PRBS CHECK 输出值就是误码个数.

3.1 TX 仿真结果

TX 输出仿真结果如图 3 所示, 结果显示 driver 不会受到单粒子效应的影响, 是因为 driver 使用了 SST 结构, 其中有 60 份相同的子模块, 当其中单独一份发生 SET 而产生扰动时, 电荷会被其他的 59 份分散吸收, 从而整体不会呈现出翻转现象. 但是 TX 在 5 ns 后输出数据错误, 10 ns 后输出数据正确, 而此时间段对应的是 P2S 中 D 触发器发生 SET.

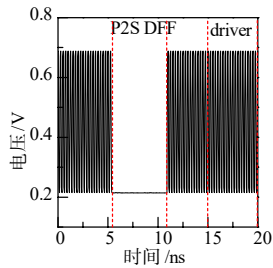


图 3 TX 模拟单粒子效应仿真结果

如图 4 所示, P2S 中使用的 D 触发器为通用传输门结构. 图 5 展示了 DFF 的 D、A、Q 节点仿真结果, 正常情况下 A 节点输出恒定为低, 当单粒子轰击 inv1 中 PMOS 时, 会在 A 节点注入大量电流, 使 A 节点在 SET 持续时间内输出恒高, Q 节点输出恒低, 导致 P2S 输出错误, 随后单粒子效应结束, D 触发器输出回归正确.

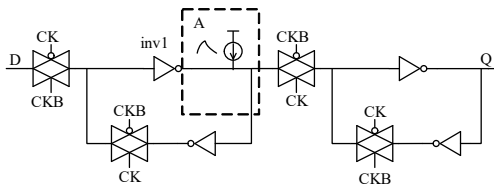


图 4 D 触发器电路结构

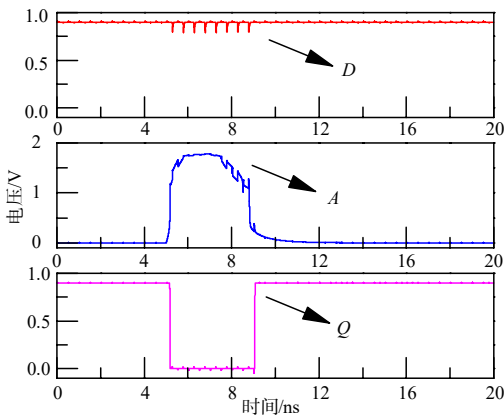


图 5 D 触发器发生 SET 时 D、A、Q 节点输出波形

3.2 RX 仿真结果

RX 仿真中, PRBS CHECK 输出结果如图 6 所示.

结果显示 AFE 对单粒子效应不敏感, 是因为 AFE 为了得到大的增益, 电流开销较大, 单粒子效应产生的瞬态电流只会使数据的摆幅减小, 不足以使数据发生翻转. 需要注意的是, 单粒子效应减小了 AFE 的均衡能力, 但是会通过自适应最小均方算法, 调节 CTLE 以及 DFE 的均衡能力, 使 RX 不产生误码. 从图中还可以看到, RX 分别在 15 ns~25 ns、35 ns~43 ns、55 ns~63 ns 三个时间段发生了误码, 分别对应的是采样器, D 触发器和 PI, RX 在 65 ns 之后恢复正常工作.

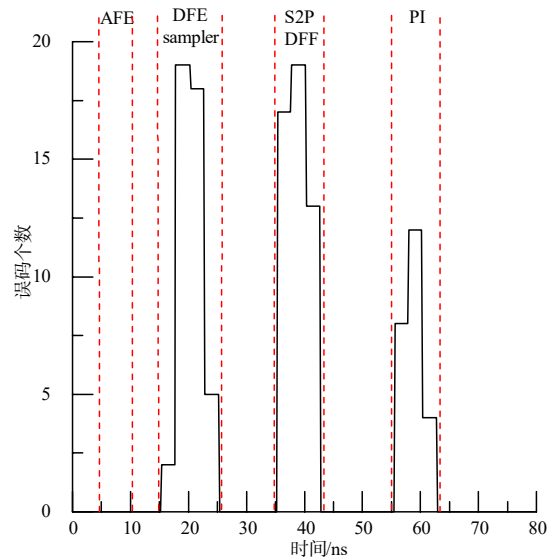


图 6 RX 模拟单粒子效应仿真结果

RX S2P 和 TX P2S 一样, 内部的数据链路也是用 D 触发器构成, 仿真结果表明 S2P 中 D 触发器同样会发生 SET 而产生大量误码, 进一步验证了 D 触发器是 SerDes 中比较敏感模块.

如图 7 所示, 采样器由 3 部分电路组成, 1 是差分数据输入和补偿电路, 2 是时钟输入电路, 3 是正反馈采样电路, 当时钟上升沿到来时, 采样器对输入差分数据进行采样. 输入输出以及 A 节点仿真结果见图 8. 10 ns~15 ns 时在采样器内部 A 节点注入双指数电流源, 会使 A 节点恒为高, 采样器的工作状态一直停留在 reset 阶段,

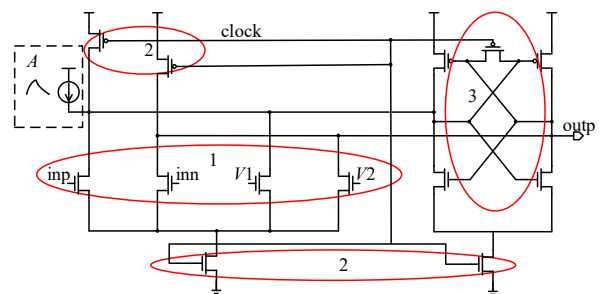


图 7 采样器电路结构

不会进入到采样判决阶段,输出恒0,导致采样器丧失采样功能,RX持续产生误码.

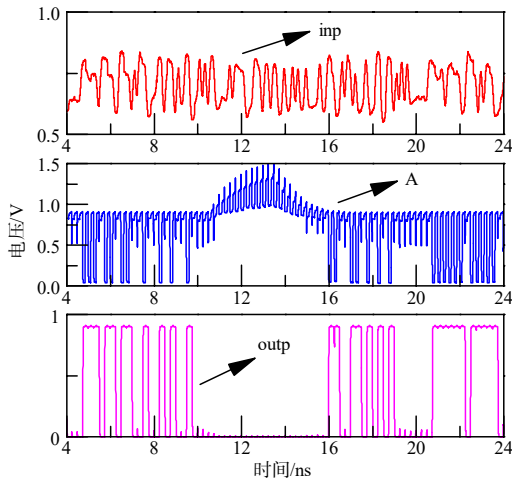


图8 采样器发生SET时输入输出节点波形

PI是利用正弦波线性叠加原理设计的,结构如图9所示,通过控制尾电流阵列中部分电流镜的开启和关闭来调整输出时钟的相位.以图中左边支路为例进行分析,ck0和ck180分别控制n1和n2的导通,PI正常工作时,ck0~ck270四相位输入时钟摆幅为500mV~900mV,A节点电压为352mV,n1、n2阈值电压约为350mV.当ck0=900mV,ck180=500mV时,n1开启而n2关断.结合仿真结果图10可以看出,从A节点插入双指数电流源,将形成漏级到地的导通电流,使A节点的电压从352mV降到135mV左右,这个时候无论ck0和ck180处于哪个状态,n1和n2都将导通,PI输出时钟出现较大的共模电压漂移和摆幅减小,经过驱动之后输出恒定为低,采样器接收不到时钟上升沿而无法正常工作,导致RX出现漏码.

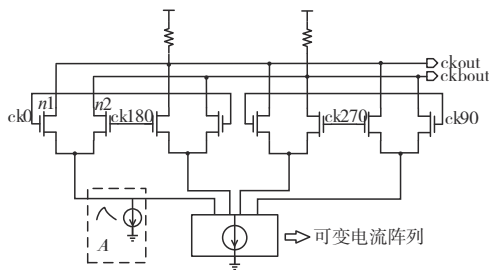


图9 PI电路结构

4 激光测试验证结果

测试芯片在28nm商用体硅CMOS工艺下流片,通过倒装技术进行封装,电源电压为0.9V,工作在8-Gbps模式下测试误码率小于 $1E-12$.在测试前,基片已经被磨到大约140 μm ,测试芯片在中国科学院空间中心的

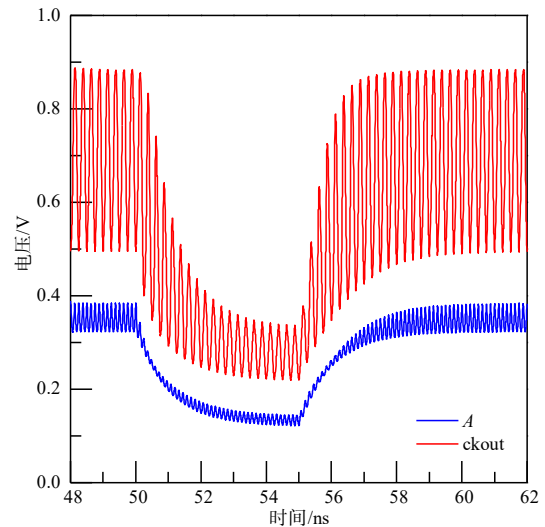


图10 PI发生SET输出波形

脉冲激光设施下进行辐射试验.将芯片安装在一个步长为1.0 μm 的三维电动平台上,激光器采用50倍聚焦,激光点的直径大约为2.0 μm .脉冲激光分别对芯片各子模块进行照射,在模块内部以蛇形路径从左到右,再从右到左进行遍历照射,照射完一个模块后,通过设置坐标值来切换到另一个模块,测试系统见图11.在实验中,将激光能量初始设置为100pJ,然后以100pJ为单位累加,直到1000pJ,测试中发现激光能量为100pJ~400pJ时,芯片的输出几乎没有变化,当激光能量增加到500pJ~600pJ时,由于芯片发生SET,导致输出发生了变化,继续增大激光能量时,部分模块被烧毁,故以下实验数据是激光器能量为500pJ条件下测试所得.

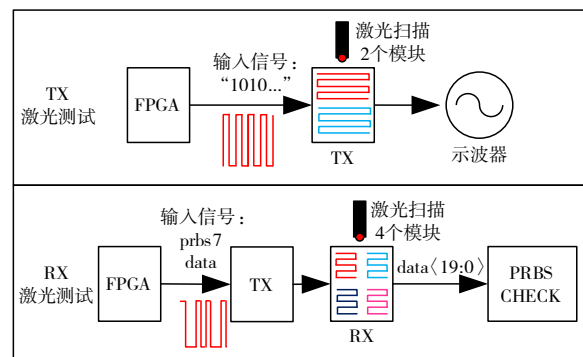


图11 测试系统

4.1 TX激光测试结果

TX照射的模块有driver和P2S,对driver测试时,TX输出没有受到影响,但是当激光点聚焦在P2S模块的某些区域时,检测到了一段时间的明显错误,示波器捕捉到了这一现象,如图12(a)所示.P2S在被激光照

射之前,输出正常,但是受照射之后,P2S的数据传输路径上发生单粒子辐射效应,导致输出了错误的数字.在激光移走之后,输出信号立刻恢复正常,这与仿真现象一致.某些子模块还出现了功能中断的情况,如图12(b),但是重新上电后TX正常工作,说明TX虽然发生了单粒子功能中断(Single Event Functional Interrupt, SEFI),但是没有发生单粒子硬损伤(Single event Hard Damage, SHD),这应该是版图中半导体器件的阱/衬底接触离晶体管较远,发生了闩锁效应所导致的,本文针对电路做的仿真,所以在仿真时并没有出现SEFI现象.

4.2 RX激光测试结果

RX照射的模块有AFE、DFE、S2P和CDR,测试结果

果如表1所示.在RX的各个子模块受脉冲激光照射时,AFE没有出现误码,DFE、S2P和CDR产生的误码个数非常多,且分别定位到采样器、D触发器和PI是这三个模块的敏感区域,说明这三个模块发生了SET,诱发了时钟或者数据错误,导致出现误码,SET结束之后误码率恢复正常,这与仿真现象一致.

表1 RX激光测试误码分布

模块	子模块	误码个数
RX	AFE	0
	DFE	15345
	S2P	24652
	CDR	7897

5 结论

本文研究了28 nm体硅CMOS工艺下8-Gbps通用结构高速SerDes的单粒子辐射特性,该SerDes由电压模TX和相位插值型RX组成.通过双指数电流源对整个SerDes的TX和RX进行了单粒子效应仿真,定位该SerDes的主要敏感节点包括:D触发器,采样器和PI.进一步采用脉冲激光对整个SerDes进行了扫描测试研究,测试结果验证了相关结论.该研究为抗辐射SerDes的研制提供了重要的理论依据.

参考文献

- [1] ARMSTRONG S E, OLSON B D, POPP J, et al. Single-event transient error characterization of a radiation-hardened by design 90 nm SerDes transmitter driver[J]. IEEE Transactions on Nuclear Science, 2009, 56(6): 3463-3468.
- [2] ARMSTRONG S E, OLSON B D, HOLMAN W T, et al. Demonstration of a differential layout solution for improved ASET tolerance in CMOS A/MS circuits[J]. IEEE Transactions on Nuclear Science, 2010, 57(6): 3615-3619.
- [3] YUAN H Z, CHEN J J, LIANG B, et al. An SEU/SET-tolerant phase frequency detector with double loop self-sampling technology for clock data recovery[J]. IEEE Transactions on Nuclear Science, 2019, 66(7): 1483-1490.
- [4] YUAN H Z, CHEN J J, LIANG B, et al. Fault-tolerant multi-node coupling triple mode redundancy voltage controlled oscillator for reducing soft error in clock and data recovery[J]. Electronics Letters, 2019, 55(5): 250-251.
- [5] YUAN H Z, GUO Y, CHEN J J, et al. 28 nm fault-tolerant hardening-by-design frequency divider for reducing soft errors in clock and data recovery[J]. IEEE Access, 2019, 7: 47955-47961.
- [6] ZANCHI Z, BUCHNER S, HAFER C, et al. Investigation and mitigation of analog SET on a bandgap reference in tri-

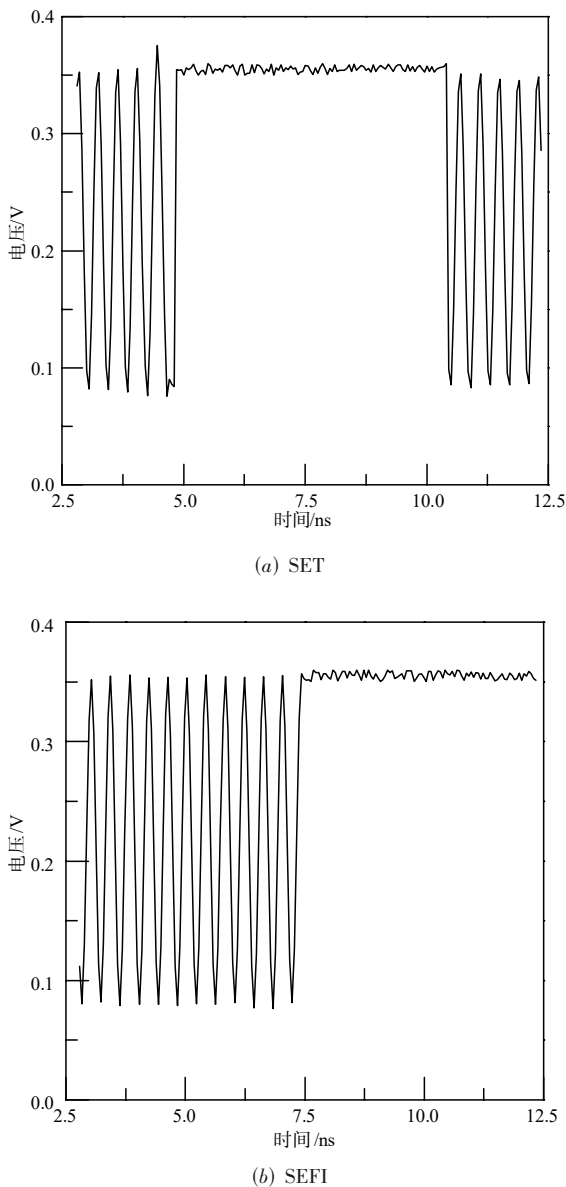


图12 TX激光测试发生SET和SEFI的瞬态波形

ple-well CMOS using pulsed laser techniques[J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2570-2577.

- [7] ZHAO Q F, YANG G Q, SUN Y J, et al. Research on the effect of single-event transient of an on-chip linear voltage regulator fabricated on 130 nm commercial CMOS technology[J]. Microelectronics Reliability, 2017, 73: 116-121.
- [8] SAVOJ J, RAZAVI B. A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector[J]. IEEE Journal of Solid-State Circuits, 2001, 36(5): 761-768.
- [9] TAN J W, GUO Y, CHEN J J, et al. A state recovery design against single-event transient in high-speed phase interpolation clock and data recovery circuit[C]//CHEN M H. 2017 IEEE 12th International Conference on ASIC. Guiyang: IEEE, 2017: 339-342.
- [10] YUAN H Z, CHEN J J, LIANG B, et al. A radiation hardened low-noise voltage-controlled-oscillator using negative feedback based multipath-current-releasing technology[C]//CHEN M H. Proceedings of International Conference on ASIC, 2017 IEEE 12th International Conference on ASIC. Guiyang: IEEE, 2017: 241-244.
- [11] ZHENG X Q, ZHANG C, LV F X, et al. A 40-Gb/s quarter-rate SerDes transmitter and receiver chipset in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2017, 52(11): 2963-2978.
- [12] IM J, FREITAS D, ROLDAN A B, et al. A 40-to-56 Gb/s PAM-4 receiver with ten-tap direct decision-feedback equalization in 16-nm FinFET[J]. IEEE Journal of Solid-State Circuits, 2017, 52(12): 3486-3502.
- [13] HAO P P, CHEN S M, WU Z Y, et al. On-chip relative single-event transient/single-event upset susceptibility test circuit for integrated circuits working in real time[J]. IEEE Transactions on Device and Materials Reliability, 2018, 65(1): 376-381.
- [14] GUO S, LI J, GUI P, et al. Single-event transient effect on a self-biased ring-oscillator PLL and an LC PLL fabricated in SOS technology[J]. IEEE Transactions on Nuclear Science, 2013, 60(6): 4668-4672.
- [15] HAO P P, CHEN S M. Single-event transient susceptibility analysis and evaluation methodology for clock distribution network in the integrated circuit working in real time [J]. IEEE Transactions on Device and Materials Reliability, 2017, 17(3): 539-548.

作者简介



文 溢 男, 1992 年 3 月生, 湖南长沙人. 现为国防科技大学计算机学院微电子所工程师. 主要从事集成电路设计与抗辐照加固设计等方面的研究工作.

E-mail: wenyi19920312@126.com



陈建军(通讯作者) 男, 1983 年 10 月生, 贵州毕节人. 博士毕业于国防科技大学电子科学与技术专业, 现任国防科技大学计算机学院研究生导师, 主要研究方向为高速通信系统和集成电路设计的抗辐照加固技术.

E-mail: cjj192000@163.com



梁 斌 男, 1979 年 7 月生, 湖南常德人. 博士毕业于国防科技大学电子科学与技术专业, 现任国防科技大学计算机学院研究生导师, 主要研究方向为高速通信系统和集成电路设计的抗辐照加固技术.

E-mail: liangbin110@126.com



池雅庆 男, 1982 年 2 月生, 重庆沙坪坝人. 博士毕业于国防科技大学电子科学与技术专业, 现任国防科技大学计算机学院研究生导师, 主要研究方向为高速通信系统和集成电路设计的抗辐照加固技术.

E-mail: yqchi@nudt.edu.cn



黄 俊 女, 1991 年 10 月生, 湖南长沙人. 现为国防科技大学计算机学院微电子所工程师. 主要从事集成电路设计与抗辐照加固设计等方面的研究工作.

E-mail: 654302416@qq.com